

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020000046145 A
(43)Date of publication of application: 25.07.2000

(21)Application number: 1019980062822
(22)Date of filing: 31.12.1998
(51)Int. Cl. H04N 7/00

(71)Applicant: LG ELECTRONICS INC.
(72)Inventor: JUN, JEONG SIK

(54) APPARATUS FOR DETECTING VESTIGIAL SIDE BAND MODE OF DIGITAL TELEVISION

(57) Abstract:



PURPOSE: An apparatus for detecting vestigial side band mode of digital television is provided to detect the VSB(Vestigial Side Band) mode even when much noise is present.

CONSTITUTION: An apparatus for detecting vestigial side band mode of digital television includes a first VSB mode detector, a second VSB mode detector, a comparator and a selector. The first VSB mode detector detects the VSB mode from the signal input at a channel equalizer. The second VSB mode detector detects the VSB mode from the signal equalized at the channel equalizer. The comparator compares the VSB mode signals from the first and the second VSB mode detectors and outputs a select signal according to the compared result. The selector outputs the VSB mode signal from the two detectors to the channel equalizer.

COPYRIGHT 2000 KIPO

Legal Status

Date of final disposal of an application (20010512)
Patent registration number (1003048890000)
Date of registration (20010725)

(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) Int. Cl.⁶
H04N 7/00

(45) 공고일자 2001년09월24일
(11) 등록번호 10-0304889
(24) 등록일자 2001년07월25일

(21) 출원번호 10-1998-0062822
(22) 출원일자 1998년12월31일

(65) 공개번호 특2000-0046145
(43) 공개일자 2000년07월25일

(73) 특허권자 엘지전자주식회사
구자홍
서울시영등포구여의도동20번지

(72) 발명자 전정식
서울특별시 서초구 양재동 375번지 303호

(74) 대리인 김용인
심창섭

심사관 : 최훈

(54) 디지털 텔레비전의 잔류측파대모드검출장치

요약

잔류측파대(VSB) 방식을 사용하는 미국형 디지털 TV 수신기에서의 VSB 모드 검출 장치에 관한 것으로서, 특히 채널 동화기의 전/후단에 제 1, 제 2 VSB 모드 검출부를 구비하여, 제 1 VSB 모드 검출부에서는 채널 동화되기 전의 신호로부터 VSB 모드를 검출하고, 제 2 VSB 모드 검출부에서는 채널 동화된 신호로부터 VSB 모드를 검출한 후 검출된 두 VSB 모드가 일치하면 상기 제 1 VSB 모드 검출부에서 검출된 VSB 모드를, 일치하지 않으면 상기 제 2 VSB 모드 검출부에서 검출된 VSB 모드를 상기 채널 동화기로 출력함으로써, 채널 상에 고스트 잡음이 많은 경우에도 VSB 모드를 정확하고 용이하게 검출할 수 있으므로 시스템의 성능을 향상시킨다.

대표도
도 3

명세서

도면의 간단한 설명

도 1은 일반적인 디지털 TV 수신기의 구성 블록도

도 2는 VSB 모드가 삽입된 필드 동기 신호의 구성을 나타낸 도면

도 3은 본 발명에 따른 디지털 TV의 VSB 모드 검출 장치의 구성 블록도

도 4는 도 3의 VSB 모드 검출부의 상세 블록도

도면의 주요 부분에 대한 부호의 설명

31 : 제 1 VSB 모드 검출부 32 : 멀티플렉서

33 : 채널 등화부 34, 45 : 비교기

35 : 제 2 VSB 모드 검출부 41 : 부호비트 추출부

42 : 직/병렬 변환부 43 : 에러 검출부

44 : 플립플롭 45 : 컨피던스 카운터

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 잔류측파대(VSB) 방식을 사용하는 미국형 디지털 TV 수신기에서의 VSB 모드 검출 장치에 관한 것이다.

현재 ATSC(Advanced Television Systems Committee)에서 제안된 VSB 방식으로는 지상 방송용인 8VSB와 케이블 방송용인 16VSB 모드가 있다. 또한, MMDS(Multi-channel Multi-point Distribution System) 채널에 사용되는 2.4, 8, 16VSB 방식이 있다. ATSC의 16VSB와 MMDS의 16VSB는 사용되는 채널은 다르지만 전송 방식은 같아서 같은 모드라 볼 수 있다. 결과적으로 현재는 5개의 VSB 모드가 있다.

즉, 1 심볼로 2부호(1비트)를 할당하면 전송 속도는 10.76Mbit/s로 되고, 이것이 2VSB이며, 4부호(2비트)라면 21.5Mbit/s, 8부호(3비트)라면 32.3Mbit/s, 그리고 16부호(4비트)라면 43Mbit/s로 되고, 각각을 4VSB, 8VSB, 16VSB로 부른다.

지상방송용 8VSB의 경우를 예로 들면, 방송국과 같은 송신측에서는 신호를 송신하기 전에 원하는 전력 레벨로 변화시켜 주는 매퍼(Mapper)를 통과시키게 되는데, 매퍼의 출력 레벨은 8 단계의 심볼 값(진폭 레벨) 즉, -168, -120, -72, -24, 24, 72, 120, 168 중 하나이다. 또한, 상기 매퍼에서는 약속에 의해 832 심볼마다 4심볼의 데이터 세그먼트 동기 신호를 강제로 만들어 삽입하고, 313 데이터 세그먼트 위치에서는 필드 동기 신호를 만들어 삽입하는데, 상기 동기 신호의 약속된 형태는 1, 0, 0, 1이고, 매퍼 출력 레벨은 동기가 '1'일 때 '120', '0'일 때 '-120'이다. 여기서, 상기 데이터 세그먼트 동기 신호는 NTSC 신호에서 수평 동기 신호에 해당되고, 필드 동기 신호는 수직 동기 신호에 해당되며 동일한 형태의 신호는 아니다.

그리고, 디지털 TV와 같은 수신측에서는 도 1에 도시된 바와 같이 8 VSB 방식으로 변조된 RF 신호가 안테나를 통해 수신되면 튜너(11)는 튜닝에 의해 원하는 채널의 주파수를 선택한 후 IF 신호로 변환하고, FPLL부(12)는 상기 튜너(11)에서 출력되는 IF 신호를 베이스 밴드의 I, Q 신호로 복조하여 주파수와 위상을 록킹한다. 즉, 상기 FPLL부(12)는 주파수 트래킹 루프와 PLL을 일체화한 회로로서, 먼저 주파수를 록킹하고 주파수가 록킹되면 위상을 록킹한다. 그

리고, 아날로그/디지털(Analog/Digital : A/D) 변환부(13)는 상기 FPLL부(12)의 I 신호를 일정비트(예를 들면, 10 비트)의 디지털 데이터로 변환한다. 여기서, Q 신호는 상기 FPLL부(12)내에서 캐리어 복구에 이용된다. 동기 복원부(14)는 타이밍 복구, 등화등에 이용하기 위해 디지털로 변환된 10비트의 데이터를 이용하여 송신시 삽입되었던 데이터 세그먼트 동기 신호, 필드 동기 신호등을 복원한다. 이 동기 신호들은 수신된 데이터의 복구가 편리하도록 배려된 것으로서, 오검출 될 때는 데이터의 복구가 제대로 이루어지지 않아 전체 시스템에 커다란 악영향을 미치게 된다. 채널 등화부(15)는 상기 동기 복원부(14)에서 복원된 데이터 세그먼트, 필드 동기 신호들을 트레이닝 신호로 이용하여 심볼간 간섭을 일으키는 진폭의 선형 왜곡, 건물이나 산등에서 반사되어 생기는 고스트 등을 수정하는 등화(Equalization)를 수행하고, 에러 정정부(16)는 전송 채널을 통하여 발생된 에러등을 정정한다. 비디오 디코더(17)는 상기 에러 정정된 신호를 MPEG 알고리즘으로 디코딩하여 시청자가 볼 수 있는 신호로 만든다.

이와 같은 디지털 TV 수신기는 앞으로는 지상파 방송의 수신기와 함께 CATV, MMDS용으로도 동작할 필요가 있다. 즉, 호환성을 가져야 한다. 이를 위해서는 현재 수신되는 데이터의 VSB 모드가 무엇인지를 정확하게 검출할 필요가 있다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 채널에 잡음이 많은 경우에도 VSB 모드를 용이하게 검출하는 디지털 TV의 VSB 모드 검출 장치를 제공함에 있다.

본 발명의 다른 목적은 입력되는 디지털 데이터의 부호 비트만을 이용하여 VSB 모드를 검출하는 디지털 TV의 VSB 모드 검출 장치를 제공함에 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위한 본 발명에 따른 디지털 TV의 VSB 모드 검출 장치는, 채널 등화기의 전/후단에 제 1, 제 2 VSB 모드 검출부를 구비하여, 제 1 VSB 모드 검출부에서는 채널 등화되기 전의 신호로부터 VSB 모드를 검출하고, 제 2 VSB 모드 검출부에서는 채널 등화된 신호로부터 VSB 모드를 검출한 후 검출된 두 VSB 모드가 일치하면, 상기 제 1 VSB 모드 검출부에서 검출된 VSB 모드를, 일치하지 않으면 상기 제 2 VSB 모드 검출부에서 검출된 VSB 모드를 상기 채널 등화기로 출력하는 것을 특징으로 한다.

본 발명은 상기된 VSB 모드 검출 장치를 디지털 TV 수신기에 적용하는 것을 특징으로 한다.

이하, 본 발명의 실시예 설명에 앞서 본 발명의 특징과 관련하여 더 설명한다.

통상, VSB 모드에 관한 정보는 송신측에서 필드 동기 신호 구간에 삽입하여 전송한다. 즉, 313 데이터 세그먼트 위치마다 1 데이터 세그먼트 길이로 삽입되는 필드 동기 신호 구간에는 도 2와 같이 24 심볼(=비트)로 이루어진 VSB 모드 영역이 할당되어 있다. 상기 24 심볼은 다시 8 심볼씩 3개의 영역으로 나뉘는데, 앞의 16 심볼 즉, 2 바이트는 모든 VSB 모드에 대해 동일한 패턴이 규정되어 있으므로 본 발명에서 이용하지 않고 마지막 1 바이트 즉, 8 심볼만을 이용한다. 이때, 마지막 1 바이트는 다시 4비트씩 나누어지는데, 앞의 4비트는 1 비트의 패리티(P)와 실제 VSB 모드에 관한 정보를 가지고 있는 3비트의 데이터(A,B,C)로 이루어진다. 뒤의 4비트는 앞의 4비트(P,A,B,C)가 반전된 상태($\bar{P}, \bar{A}, \bar{B}, \bar{C}$)이다.

이때, 패리티(P)는 '1'의 개수가 짝수가 되도록 하며, 각 VSB 모드의 A,B,C값은 약속에 의해 정해져 있다.

이와 같이 필드 동기 신호 구간은 우리가 알고 있는 데이터를 송신측에서 삽입하도록 되어 있으며, VSB 모드 신호도 사전에 약속이 되어 있다. 또한, 각 VSB 모드 정보가 삽입되어 있는 필드 동기 신호의 값은 상기된 바와 같이, 2 레벨(즉, +120, -120)만이 존재함을 알 수 있다.

따라서, 본 발명은 입력되는 수신 데이터 중 부호 비트만을 이용하여 송신측에서 필드 동기 신호 구간에 삽입한 VSB 모드를 검출함으로써, 하드웨어를 단순화하면서 디지털 TV가 지상파 방송뿐만 아니라 케이블 방송, MMDS 채널도 수신할 수 있도록 한다.

이를 실현하기 위한 본 발명에 따른 디지털 TV의 VSB 모드 검출 장치가 도 3에 도시되어 있다.

이하, 본 발명의 바람직한 실시예를 첨부도면을 참조하여 상세히 설명한다.

도 3은 본 발명에 따른 디지털 TV의 VSB 모드 검출 장치의 구성 블록도로서, 입력되는 디지털 신호로부터 VSB 모드를 검출하는 제 1 VSB 모드 검출부(31), 상기 입력되는 디지털 신호에 대해 채널 등화를 수행하여 입력 신호에 삽입된 고스트를 제거하는 채널 등화부(33), 상기 채널 등화부(33)의 출력 신호로부터 VSB 모드를 검출하는 제 2 VSB 모드 검출부(35), 상기 제 1, 제 2 VSB 모드 검출부(31, 35)의 출력을 비교하고 비교 결과에 따른 선택 신호를 출력하는 비교기(34), 및 상기 비교기(34)에서 출력되는 선택 신호에 의해 상기 제 1 VSB 모드 검출부(31)에서 검출된 VSB 모드 신호 또는 제 2 VSB 모드 검출부(35)에서 검출된 VSB 모드 신호를 선택하여 상기 채널 등화부(33)로 출력함과 동시에 VSB 모드 신호로 출력하는 멀티플렉서(32)로 구성된다.

도 4는 상기 제 1, 제 2 VSB 모드 검출부(31, 35)의 상세 블록도로서, 본 출원인에 의해 출원된 바 있다.

즉, 도 4는 입력되는 일정 비트(예를 들면, 10비트)의 디지털 데이터로부터 부호 정보를 가지고 있는 최상위 비트만을 추출하여 직렬로 출력하는 부호 비트 추출부(41), 상기 부호 비트 추출부(41)에서 출력되는 부호 비트를 소정 클럭(즉, 8 클럭)동안 순차 지연시킨 후 인에이بل 신호가 입력되면 동시에 출력하는 직/병렬 변환부(42), 상기 직/병렬 변환부(42)의 병렬 데이터로부터 입력 데이터에 발생된 에러의 존재 여부를 검출하는 에러 검출부(43), 인에이블 신호가 입력될 때에만 상기 직/병렬 변환부(42)에서 출력되는 병렬 데이터중 실제 VSB 모드 정보를 가지고 있는 데이터(A, B, C)를 저장하는 플립플롭(44), 상기 플립플롭(44)으로 입력되는 데이터와 플립플롭(44)에 저장된 데이터가 같은지를 비교하는 비교기(45), 및 상기 비교기(45)의 비교 결과에 따라 신뢰도(Confidence)를 증가 또는 감소시키며 신뢰도가 특정 임계값 미만일 때에만 상기 플립플롭(44)으로 인에이블 신호를 출력하고 상기 에러 검출부(43)에서 에러가 검출되면 상기된 모든 블록의 동작을 중지시키고 다음 필드 동기 신호의 VSB 모드 신호 구간을 기다리도록 제어하는 신뢰도 카운터(46)로 구성된다. 이때, 상기 플립플롭(44)의 출력이 검출된 VSB 모드 신호이며, 상기 직/병렬 변환부(42)와 컨피던스 카운터(46)는 플립플롭으로 된 지연기(47)에 의해 한 클럭의 차이를 가지고 인에이블된다.

이와 같이 구성된 본 발명은 필드 동기 신호의 VSB 모드 신호의 구간에서만 동작을 한다. 즉, 동기 복원부(14)에서 필드 동기 신호가 검출되면 필드 동기 신호에 포함된 24 심볼의 VSB 모드 관련 정보 중 마지막 8 심볼의 데이터($P, A, B, C, \bar{P}, \bar{A}, \bar{B}, \bar{C}$)만을 이용한다. 이때, 각 심볼은 A/D 변환부(13)를 거치면서 10비트의 데이터 값을 갖고 있다. 여기서, 노이즈를 고려하지 않은 이상적인 경우라면 필드 동기 신호 구간의 모든 데이터는 +120 또는 -120이다.

따라서, 제 1 VSB 모드 검출부(31)의 부호 비트 추출부(41)는 입력되는 10비트의 디지털 데이터중 부호 정보를 가지고 있는 최상위 비트만을 추출하여 양수이면 1을, 음수이면 0을 직/병렬 변환부(42)로 출력한다.

상기 직/병렬 변환부(42)는 상기 부호 비트 추출부(41)의 출력을 소정 클럭(예컨대, 8클럭)동안 순차 지연시킨 후 8 심볼 중 마지막 심볼(\overline{C})이 입력되는 시점에서 인에이블되어 8개의 데이터를 동시에 에러 검출부(43)로 출력한다. 여기서, 병렬로 출력되는 8 비트의 데이터는 $P, A, B, C, \overline{P}, \overline{A}, \overline{B}, \overline{C}$ 의 배열을 갖는다. 즉, 상기 직/병렬 변환부(42)는 직렬로 입력되는 데이터를 8 클럭 동안 모은 후 동시에 8 비트의 데이터($P, A, B, C, \overline{P}, \overline{A}, \overline{B}, \overline{C}$)를 출력한다.

상기 에러 검출부(43)는 상기 직/병렬 변환부(42)의 출력 데이터에 에러가 발생했는지를 검출한다. 만일, 상기 직/병렬 변환부(42)에서 병렬로 출력되는 8 비트의 데이터($P, A, B, C, \overline{P}, \overline{A}, \overline{B}, \overline{C}$)에 에러가 발생하지 않았다면 P 와 \overline{P} , A 와 \overline{A} , B 와 \overline{B} , C 와 \overline{C} 는 서로 반전 관계에 있고, 상위 4비트 데이터(P, A, B, C)의 '1' 개수는 패리티(P)에 의해 짝수를 유지하고, 하위 4비트 데이터($\overline{P}, \overline{A}, \overline{B}, \overline{C}$)의 '1'의 개수도 패리티(\overline{P})에 의해 짝수를 유지한다. 따라서, 상기 관계를 이용하면 필드 동기 신호의 VSB 모드 신호 구간의 마지막 8 심볼의 데이터에 에러가 발생하였는지 여부를 검출할 수 있다.

상기 에러 검출부(43)의 출력은 컨피던스 카운터(46)로 출력되고, 상기 컨피던스 카운터(46)는 에러 검출부(43)의 출력에서 에러가 발생하였음을 인지하면 모든 회로 블록(41 내지 46)이 동작을 멈추고 다음 필드 동기 신호의 VSB 모드 신호 구간을 기다리도록 제어한다. 즉, 상기 컨피던스 카운터(46)는 에러 검출부(43)의 출력에서 에러를 인지하면 아무런 동작도 하지 않음에 의해 예컨대, 카운트 값이 10이었다면 10(예컨대, 이전 상태)을 그대로 유지함에 의해 모든 회로 블록(41 내지 46)은 동작을 멈추고 다음 필드 동기 신호의 VSB 모드 신호 구간을 기다리게 된다.

한편, 상기 에러 검출부(43)에서 에러가 검출되지 않으면 상기 직/병렬 변환부(42)의 1 바이트 출력중 실제 VSB 모드 정보를 가지고 있는 3비트(A, B, C)만 플립플롭(44)으로 입력된다. 상기 플립플롭(44)은 인에이블 신호가 입력될 때에만 입력되는 3 비트 데이터를 저장하고 그 이외에는 어떠한 데이터가 입력되어도 저장하지 않는다.

상기 플립플롭(44)으로 입력되는 인에이블 신호는 상기 컨피던스 카운터(46)에서 발생한다. 즉, 상기 컨피던스 카운터(46)는 신뢰도 즉, 카운트 값이 특정 임계값 이상이 되면 디제이블 신호를 상기 플립플롭(44)으로 출력하고, 특정 임계값 미만이면 인에이블 신호를 상기 플립플롭(44)으로 출력하도록 설계된다. 여기서, 상기 특정 임계값은 설계자에 따라 달라지며, 본 발명에서는 '1'이라고 가정하였다.

그리고, 상기 컨피던스 카운터(46)는 비교기(45)의 출력에 의해 신뢰도를 증가시키거나 감소시키는데, 상기 비교기(45)는 플립플롭(44)으로 입력되는 3 비트의 데이터와 플립플롭(44)에 저장된 3 비트의 데이터를 비교하고 그 결과를 상기 컨피던스 카운터(46)로 출력한다.

본 발명에서는 실시예로 리셋 신호에 의해 시스템이 리셋될 때 상기 플립플롭(44)에는 초기 값 즉, 디폴트(Default) 값으로 지상과 방송용 VSB 모드 신호인 101이 설정되도록 설계한다. 이때, 송신측에서 삽입한 VSB 모드 신호도 지상과 방송인 '101'이라고 가정하면, 상기 비교기(45)는 두 입력 데이터가 모두 '101'로서 같으므로 '1'을 출력한다.

상기 비교기(45)에서 '1'이 출력되면 상기 컨피던스 카운터(46)는 신뢰도를 1 스텝 증가시킨다. 따라서, 컨피던스 카운터(46)의 신뢰도 즉, 카운트 값이 0에서 1로 바뀐다. 이때, 상기 컨피던스 카운터(46)의 입력과 출력은 1 클럭 차이가 나므로 상기 컨피던스 카운터(46)의 카운트 값이 1로 변할 때 출력은 이전 값 0이므로, 상기 컨피던스 카운터(46)는 상기 플립플롭(44)으로 인에이블 신호를 출력한다. 따라서, 상기 플립플롭(44)은 초기에 입력되는 3비트 데이터 '101'을 저장하게 된다.

이때, 상기 VSB 모드 신호는 파워를 온/오프하거나 채널을 변환하기 전에는 변하지 않으므로 이후의 필드 동기 신호의 VSB 모드 신호 구간마다 플립플롭(44)으로 입력되는 데이터는 '101'이 되고, 상기 비교기(45)의 출력은 계속 '1'이 된다. 상기 컨피던스 카운터(46)는 상기 비교기(45)에서 '1'이 출력되면 신뢰도를 1 스텝씩 증가시킨다. 이때, 상기 컨피던스 카운터(46)의 신뢰도는 특정 임계값 즉, 1 이상이므로 상기 플립플롭(44)으로 디제이블 신호를 출력하고, 상기 플립플롭(44)은 더 이상 입력되는 데이터는 저장하지 않는다. 이는 상기 플립플롭(44)으로 항상 '101'이 입력되어야 하는데 에러 등에 의해 순간적으로 다른 값이 들어올 경우 플립플롭(44)을 디제이블시킴에 의해 이 값을 VSB 모드 신호로 출력하지 않도록 하기 위해서이다.

이와 같이 상기 제 1 VSB 모드 검출부(31)는 매 필드 동기 신호 구간마다 입력되는 8 심볼의 VSB 모드 신호로부터 에러가 존재하는지를 먼저 측정하고, 에러가 존재하는 경우에는 다음 블록이 동작하지 않고, 다음 필드 동기 신호에 있는 VSB 모드 신호를 기다린다. 만약 현재 사용되고 있는 수신 채널의 상태가 많은 잡음을 가지고 있으면 VSB 모드 신호가 계속해서 에러를 가지게 된다. 이러한 경우에는 제 1 VSB 모드 검출부(31)에서 올바른 VSB 모드를 검출할 수 없다. 특히, 채널상에 심한 고스트 잡음이 있는 경우에는 더욱 심각한 양상을 보이는데 이는 필드 동기 신호 구간은 항상 같은 신호가 반복되기 때문이다. 그리고, 고스트 잡음의 경우에는 원래의 신호가 지연되어 원래의 신호에 다시 더해지는 형태로 나타나는데 이러한 경우에는 VSB 모드 신호 구간에도 앞뒤의 신호의 영향으로 항상 오류가 발생한 신호가 입력될 수 있다. 이때는 제 1 VSB 모드 검출부(31)가 전혀 올바른 역할을 수행할 수 없다.

즉, 전송 채널상에 있는 고스트 잡음의 영향으로 인하여 제 1 VSB 모드 검출부(31)에서 검출된 VSB 모드가 올바른 신호가 아닐 경우에는 채널 등화부 및 에러 정정부는 잘못된 VSB 모드에 대하여 동작을 하고 있는 것이다. 이때, 채널 등화부(33)는 필드 동기 신호 구간에서 대부분의 동작이 이루어지는데 모든 VSB 모드에 대하여 필드 동기 신호의 형태는 동일하고 단지, 동기 신호의 크기가 다르므로 잘못된 VSB 모드에 대하여 채널 등화부(33)가 동작하더라도 큰 문제는 없다. 그러나, 채널 등화부의 뒷단에 연결된 에러 정정부에서는 잘못된 VSB 모드로 에러 정정을 수행하면 정확한 데이터 복원을 할 수가 없다.

따라서, 이때에는 제 2 VSB 모드 검출부(35)에서 검출된 VSB 모드 신호를 이용한다.

즉, 채널상에 고스트 잡음이 존재할 경우 상기 고스트 잡음은 채널 등화부(33)에서 제거된다. 즉, 채널 등화부(33)를 통과하기 전의 VSB 모드 신호가 고스트 잡음의 영향으로 인하여 계속적인 오류를 가질 때 채널 등화부(33)를 통과한 신호에는 이미 고스트 잡음이 제거되었기 때문에 VSB 모드 신호에 존재하던 계속적인 오류는 발생하지 않게 된다. 따라서, 이때는 채널 등화부(33)의 후단에 연결된 제 2 VSB 모드 검출부(35)를 이용하면 채널의 고스트 잡음으로 인한 제 1 VSB 모드 검출부(31)의 오동작을 방지할 수 있다.

이를 위해, 먼저 제 1 VSB 모드 검출부(31)는 입력되는 신호 즉, 채널 등화되기 전의 신호로부터 도 4와 같이 VSB 모드를 검출한다. 그리고, 상기 제 1 VSB 모드 검출부(31)에서 검출된 VSB 모드 신호는 초기에는 상기 채널 등화부(33)로 바로 입력되어 입력되는 신호에 대한 채널 등화가 수행된다. 즉, VSB 모드없이 채널 등화부(33)를 동작시키면 채널 등화부(33)가 정확하지 않은 동작을 하므로 초기에는 제 1 VSB 모드 검출부(31)에서 검출한 VSB 모드 신호를 이용하여 채널 등화를 수행한다.

이때, 제 2 VSB 모드 검출부(35)는 상기 채널 등화부(33)에서 채널 등화된 출력 신호로부터 다시 한번 도 4와 같은 과정을 거쳐 VSB 모드를 검출한다.

그리고, 비교기(34)는 상기 제 1 VSB 모드 검출부(31)에서 검출한 VSB 모드 신호와 제 2 VSB 모드 검출부(35)에서 검출한 VSB 모드 신호가 같은지를 비교한다. 만일, 두 VSB 모드 신호가 같은 값을 가지면 제 1 VSB 모드 검출부(31)가 VSB 모드를 제대로 검출하였다고 판별하고, 두 VSB 모드 신호가 다른 값을 가지면 고스트등에 의해 제 1 VSB 모드 검출부(31)가 제대로 동작하지 못하였다고 판별하여 그에 따른 선택 신호를 멀티플렉서(32)로 출력한다.

상기 멀티플렉서(32)는 선택 신호에 따라 즉, 제 1, 제 2 VSB 모드 검출부(31,35)에서 검출한 VSB 모드 신호가 일치하면 상기 제 1 VSB 모드 검출부(31)에서 검출한 VSB 모드 신호를 선택하여 상기 채널 등화부(33)로 출력하고, 일치하지 않으면 제 2 VSB 모드 검출부(35)에서 검출한 VSB 모드 신호를 선택하여 채널 등화부(33)로 출력한다.

이와같이 송신측에서 삽입하는 VSB 모드를 정확하게 검출할 수 있으므로, 디지털 TV 수신기는 지상파 방송의 수신기와 함께 CATV, MMDS용으로도 동작할 수 있게 된다.

발명의 효과

이상에서와 같이 본 발명에 따른 디지털 TV의 VSB 모드 검출 장치에 의하면, 채널 등화되기 전의 신호로부터 VSB 모드를 검출하고, 채널 등화된 신호로부터 다시 VSB 모드를 검출한 후 검출된 두 VSB 모드 신호의 일치하면 채널 등화되기 전에 검출한 VSB 모드 신호를, 일치하지 않으면 채널 등화된 후 검출된 VSB 모드 신호를 최종 VSB 모드로 판별함으로써, 채널 상에 고스트 잡음이 많은 경우에도 VSB 모드를 정확하고 용이하게 검출할 수 있으므로 시스템의 성능을 향상시킨다.

또한, 입력되는 디지털 데이터중 부호 정보를 가지고 있는 최상위 비트만을 사용하여 송신측에서 삽입한 VSB 모드를 검출함으로써, 회로가 단순해져 이를 IC화 할 시 집적도가 용이하고 IC 사이즈가 작아지며 이로 인해 코스트가 다운되는 효과가 있다.

(57) 청구의 범위

청구항 1.

수신되는 신호에 포함된 고스트 잡음을 제거하는 채널 등화부를 구비한 디지털 티브이의 브이에스비(VSB) 모드 검출 장치에 있어서,

상기 채널 등화부로 입력되는 등화 전의 신호로부터 VSB 모드를 검출하는 제 1 VSB 모드 검출부와,

상기 채널 등화부에서 등화가 수행된 신호로부터 VSB 모드를 검출하는 제 2 VSB 모드 검출부와,

상기 제 1, 제 2 VSB 모드 검출부에서 검출한 두 VSB 모드 신호의 일치 여부를 비교하고 비교 결과에 따른 선택 신호를 출력하는 비교부와,

상기 비교부의 선택 신호에 따라 상기 제 1 VSB 모드 검출부에서 검출한 VSB 모드 신호 또는 제 2 VSB 모드 검출부에서 검출한 VSB 모드 신호를 선택하여 상기 채널 등화부로 출력하는 선택부를 포함하여 구성되는 것을 특징으로 하는 디지털 티브이의 잔류측파대 모드 검출장치.

청구항 2.

제 1 항에 있어서, 상기 제 1, 제 2 VSB 모드 검출부는

입력되는 일정 비트의 디지털 데이터로부터 부호 정보를 가지는 최상위 비트만을 추출하는 부호 비트 추출부와,

상기 부호 비트 추출부에서 직렬로 입력되는 부호 비트의 데이터를 소정 클럭동안 순차 지연시키다가 인에이블 신호에 의해 입력되는 데이터와 함께 순차 지연된 데이터들을 동시에 출력하는 직/병렬 변환부와,

상기 직/병렬 변환부에서 병렬로 출력되는 데이터를 논리조합하여 입력되는 데이터의 에러유무를 판별하는 에러 검출부와,

인에이블 신호가 입력될 때에만 상기 직/병렬 변환부에서 출력되는 병렬 데이터중 실제 VSB 모드 정보를 가지고 있는 데이터를 저장하며 이를 VSB 모드 신호로 출력하는 저장부와,

상기 에러 검출부에서 에러가 없다고 판별되면 상기 저장부로 입력되는 데이터와 상기 저장부에 저장된 데이터를 비교하는 비교부와,

상기 비교부의 비교 결과에 따라 신뢰도를 증가 또는 감소시키며 신뢰도가 특정 임계값 미만일 때만 상기 저장부로 인에이블 신호를 출력하는 컨피던스 카운터로 구성되는 것을 특징으로 하는 디지털 티브이의 잔류 측파대 모드 검출 장치.

청구항 3.

제 2 항에 있어서, 상기 부호 비트 추출부는

필드 동기 신호의 VSB 모드 신호 구간중 마지막 8 심볼 동안에만 동작하는 것을 특징으로 하는 디지털 티브이의 잔류 측파대 모드 검출 장치.

청구항 4.

제 2 항에 있어서, 상기 직/병렬 변환부의 인에이블 신호는

상기 부호 비트 추출부에서 추출된 마지막 심볼의 부호 비트가 입력되는 시점에서 발생하는 것을 특징으로 하는 디지털 티브이의 잔류 측파대 모드 검출 장치.

청구항 5.

제 2 항에 있어서, 상기 컨피던스 카운터는

상기 에러 검출부에서 에러가 검출되면 입력 유무에 관계없이 이전 값을 유지함에 의해 모든 회로 블록이 동작을 멈추고 다음 필드 동기 신호의 VSB 모드 신호 구간을 기다리도록 제어함을 특징으로 하는 디지털 티브이의 잔류 측파대 모드 검출 장치.

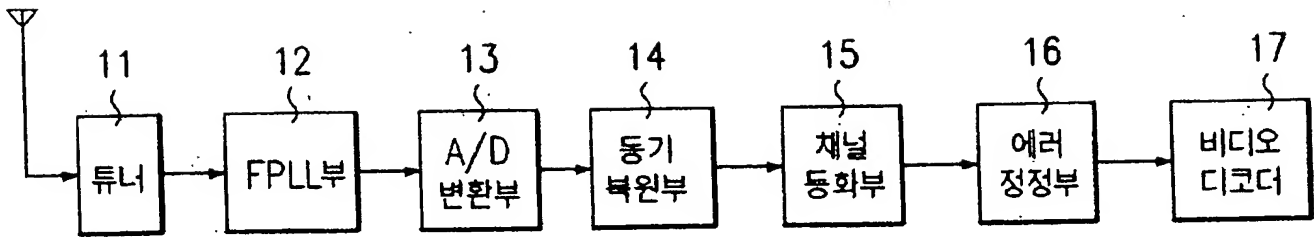
청구항 6.

제 1 항에 있어서, 상기 선택부는

상기 제 1, 제 2 VSB 모드 검출부에서 검출한 VSB 모드 신호가 일치하면 상기 제 1 VSB 모드 검출부에서 검출한 VSB 모드 신호를 선택하고, 일치하지 않으면 제 2 VSB 모드 검출부에서 검출한 VSB 모드 신호를 선택하여 상기 채널 등화부로 출력하는 것을 특징으로 하는 디지털 티브이의 잔류측파대 모드 검출장치.

도면

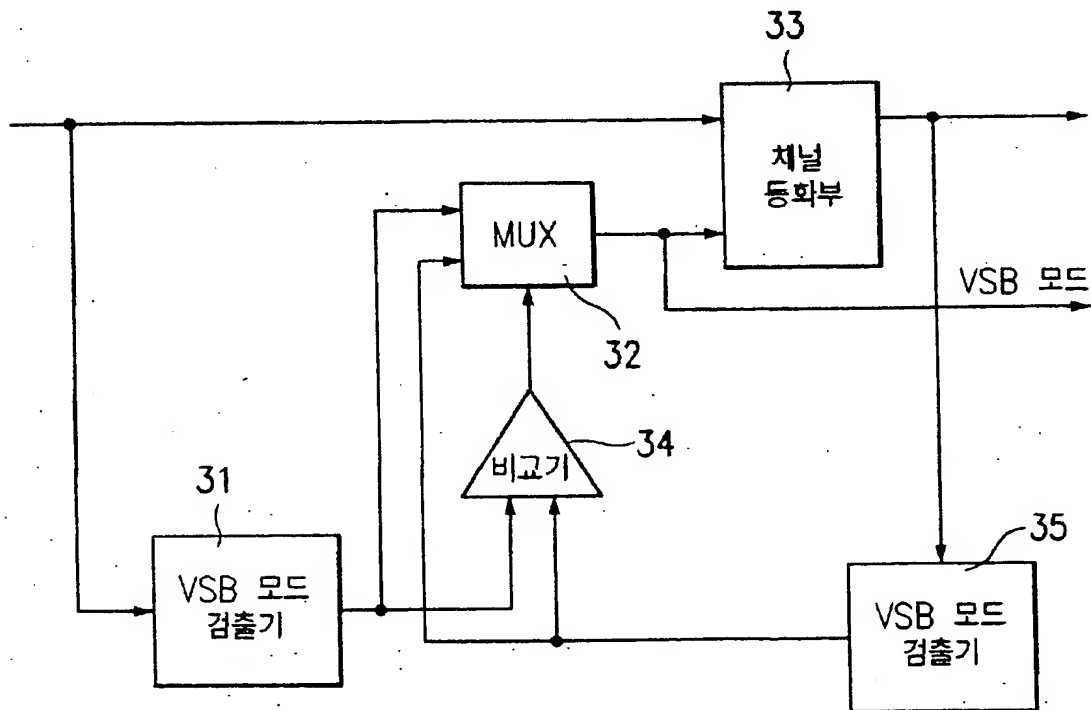
도면 1



도면 2

| | | | | | | | |
|------------------|------------------|----------------|-----------------|----------------|------------------|---------------|------------------|
| 세그먼트 동기 (4심볼) | PN511 (511심볼) | PN63 (63심볼) | PN63* (63심볼) | PN63 (63심볼) | VSB 모드 (24심볼) | 미사용 (92심볼) | 심볼 데이터 (12심볼) |
|------------------|------------------|----------------|-----------------|----------------|------------------|---------------|------------------|

도면 3



도면 4

